

E6160

プリント回路技術便覧—第2版—

NDC 547.36

1987年2月28日 初版1刷発行

1988年6月30日 初版2刷発行

1993年2月24日 2版1刷発行

◎編 者 (社)プリント回路学会

東京都港区麻布台1-11-3

花山中田ビル

(郵便番号 106)

電話 03 (3588) 6245

藤吉敏生

発行者 日刊工業新聞社

東京都千代田区九段北1-8-10

(郵便番号 102)

電話 編集部 03(3222)7090~2

販売部 03(3222)7131・7084

振替口座 東京 9-186076

印 刷 新日本印刷株式会社  
製 本 小高製本工業株式会社

定価はケースに  
表示してあります

落丁・乱丁本はお取替えいたします。

1993 Printed in Japan

ISBN4-526-03268-9

## 4.16 セラミックプリント配線板

### 4.16.1 変遷と特徴

主にハイブリッドIC用として使用されるセラミックプリント配線板は、当初銀パラジウム系導体とアルミナ基板の組み合わせが主流であったが、銀のマイグレーションによる絶縁性劣化が避けられない、導体抵抗が高い、といった理由で配線の引き回しに制約があり、表裏両面に回路を形成したとしても基板の小型化要求に応えられなくなってきた。そのために開発されたのが銅厚膜基板である<sup>1)</sup>。

銅厚膜基板は銀パラジウム系基板に対し、

- ① 安価（な卑金属）である
- ② イオンマイグレーションを起こしにくい
- ③ 低導体抵抗である
- ④ はんだ耐熱性等が優れている

などのメリットがあり、多用化されてきている

しかし近年の電子デバイスの小型化、軽量化への要求はさらに高密度化、小型化された基板の開発を必要としている。本要求に応えるべく、従来のアルミナ主体の絶縁体材料をガラスセラミック材料に変更し、内外部配線材料を銀や銅等の低比抵抗材料に変更して多層化した、アルミナセラミックスの焼成温度と比較して低温で焼成できる低温焼成多層基板の実用化が取り組まれている。

この低温焼成多層基板を実用化する上でポイントとなる点は前述の銅厚膜技術をいかに応用するかにある。さらに本技術はLC（コイル、コンデンサ）素子を基板に内蔵させるという技術に発展する。

他方で、電子機器の高周波化の流れの中で、高誘電率基板の要求も高まっている。特にマイクロ波帯域で用いられる回路基板要求は高く、基板の誘電率を大きくすることで波長短縮率が大きくなり、結果的に基板サイズが小さくなつて小型化が実現できるといったことを狙ったものである。本技術においてもさらに小型化が要求されており、単純に基板表層に銅厚膜を形成するものから、低温焼成多層基板の技術を応用して多層化したものまで検討されている。

このようにセラミックプリント配線板は電子機器の小型化、高密度化の流れに従って大きく変化しており、以下に京セラ株式会社他の製品を例示しながらその技術動向につき述べる。

#### 4.16.2 銅厚膜基板

##### (1) 技術動向と製造プロセス

銅厚膜基板はこれまで多用されてきた銀パラジウム厚膜基板と比較して以下の特徴がある。

- ① 安価（な卑金属）である
- ② イオンマイグレーションを起こしにくい

耐マイグレーション性においても2倍以上の耐久力があるため、パター

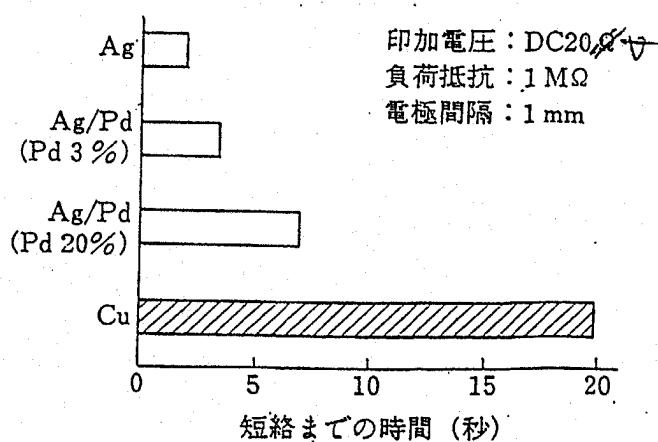


図 4.16.1 銅ペーストとほかの材料の耐マイグレーション性の比較

ン間隔を狭くすることができる。このことにより銅厚膜基板においては、75  $\mu\text{m}$  パターンルールを実現している。図4.16.1に他材料との耐マイグレーション性の比較を示す。

③ 低導体抵抗である

シート抵抗値が  $1.5\sim3\text{ m}\Omega/\square$  と約  $1/10$  であるため、導体幅を  $1/10$  にしても等価である。図4.16.2に銅厚膜導体と他材料のシート抵抗値の比較を示す。

また高周波特性においても、伝送損失が約  $1/4$  であるため、高周波用基板として適している。

④ はんだ耐熱性に優れる

耐はんだ食われ性においても2倍以上の耐久力があるため、信頼性が高

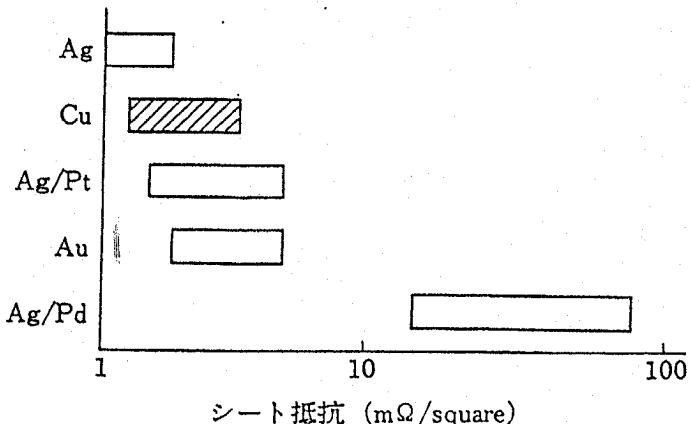
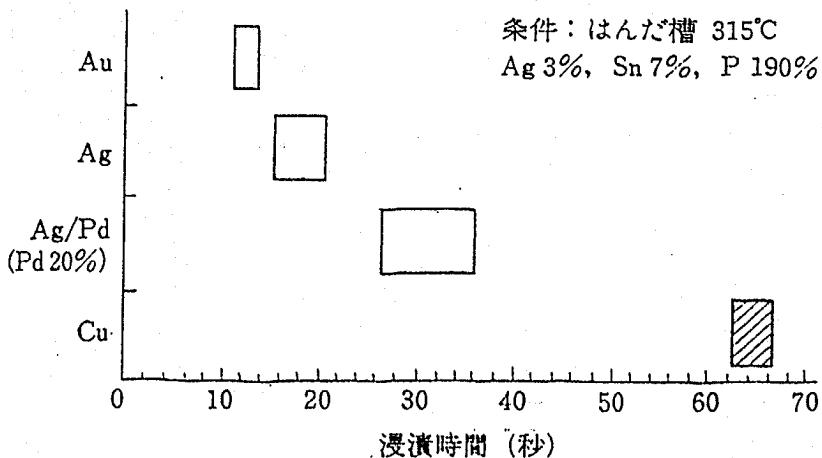


図4.16.2 銅ペーストとほかの材料のシート抵抗の比較



い。図4.16.3に各種厚膜導体のはんだ食われ特性の比較を示す。

これらの特徴を活かして、従来の貴金属系導体で適用していた設計ルールを微細化し超小型部品実装と組み合わせることにより、高密度実装を実現することができている。

銅厚膜基板の製造プロセスは大別して以下の4つのプロセスに分けられる。

#### ① セラミック基板製造プロセス

銅厚膜システムに使用されるセラミック基板製造プロセスは、一般的なセラミック基板製造プロセス同様に原料調整、テープ成形、焼成の3つのプロセスに大別される。

原料調整とは、原料を調合、ミルによる粒度調整および混合そしてスプレードライヤによる噴霧乾燥等からなり、テープ成形は出来上がった原料をドクターブレード法やロールコンパクション法でシート状態に成形するプロセスである。本シートを、必要に応じて穴あけなど行った後、例えばアルミナ主体のものならば1,400~1,600°Cで焼成する。

#### ② 銅厚膜導体形成プロセス

本プロセスはセラミック基板表面にスクリーン印刷技術により銅配線や部品搭載用パッドなどを形成し焼成により製膜するものである。このため、銅厚膜導体ペーストに限らず、厚膜ペーストは非ニュートン流体であり、擬塑性とチクソ性の両方の特性を有するものが多い。擬塑性は下式に示される流動方程式が適用できるものをいう。

$$S = \mu D^n \quad (0 < n < 1)$$

ここで $\mu$ は非ニュートン粘性係数、 $S$ はすり応力、 $D$ はすり速度を示す。

チクソ性は厚膜ペーストのような分散系流体にすり変形を加えたときに起こる構造破壊と回復の非平衡に起因するものである。微細配線印刷を実現させるためには、この両特性を検討すると共に使用するスクリーンの検討も重要な要素となる。

また、銅厚膜システムの特徴として従来の貴金属系導体と異なる点は、銅が非常に酸化しやすいために焼成雰囲気が非酸化性であることがあげられる。銅厚膜導体ペーストを構成している材料は、銅粉末、無機バインダ（主に低融点

ガラスフリット), 有機バインダ(擬塑性およびチクソ性をペーストに持たせるために配合), 有機溶剤からなる。この有機バインダは, その添加目的から印刷終了段階で不要なものとなるが, 酸化性雰囲気で焼成する際には燃焼することなくなるが, 非酸化性雰囲気で焼成する際には燃焼は非常に困難である。この問題を解決させるために, 極少量の酸素を脱バインダゾーンに加えたり, 真空ガスを用いたり, ペーストに酸化剤を加えたりといった種々の検討を行い, 雰囲気制御技術等を開発している。

### ③ 非酸化性雰囲気焼成用厚膜抵抗体形成プロセス

厚膜抵抗体用の端子電極が銅厚膜導体で形成されているため, 厚膜抵抗体もスクリーン印刷後非酸化雰囲気で焼成できなくてはならない。従来, 貴金属系導体に用いられていた酸化ルテニウム系厚膜抵抗体は, 導電粒子である酸化ルテニウムの酸素ールテニウムの高温での結合エネルギーが高く, 容易に還元されてしまうために実用的ではない。そのため, 本抵抗体は容易に還元されない導電粒子を用いた抵抗体が必要になってくる。これまでの検討の結果, 金属ホウ化物(例えばホウ化ランタン), 金属珪化物(例えば珪化タンタル), 金属酸化物半導体(例えば酸化すず)などが実用化されている。

### ④ 誘電体形成プロセス

誘電体材料は, 実用的には, 多層用とオーバーコート用に分けられ, いずれもスクリーン印刷後非酸化性雰囲気で焼成する点ではプロセス上変わりない。多層用誘電体は主にセルジアンやアノーサイトが焼成中に折出する結晶化ガラスが用いられ, 片面2層の印刷積層品までが広く実用化されている。本誘電体膜には高度な密性が要求されており, それを達成するためには前述のように焼成技術が重要な要素となる。図4.16.4に破断面を示す。

オーバーコート用誘電体は低融点ガラスが多用され, 主に抵抗体膜の保護に用いられる。

## (2) 実装応用例

実装応用例として半導体ベアチップ実装例を示す。

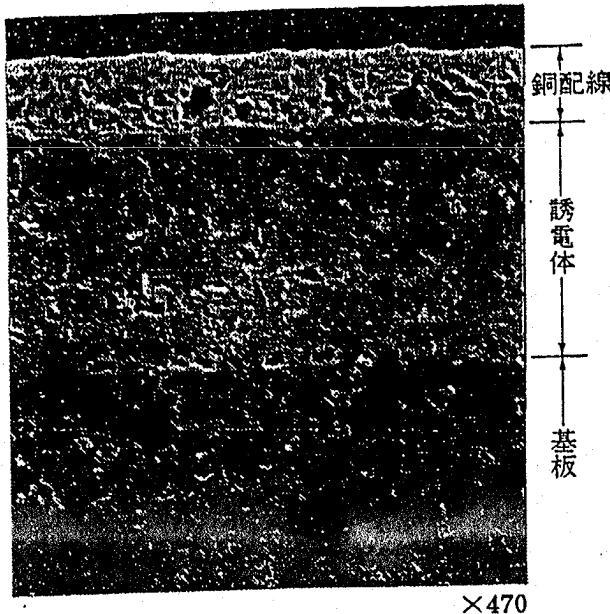


図 4.16.4



図 4.16.5 ボンディングパッドの金めっき

低コスト化を図るために、銅厚膜導体に直接金線を接合させればよい。本技術を達成するための基幹技術は、酸化膜等接合に不要な膜がなく平坦なボンディングパッドを銅厚膜導体で形成する技術と、そのボンディングパッドを酸化させずにボンディングを行うための雰囲気制御を含めたボンディング技術である。

本技術は既に実用化されているが、一方でボンディングパッドのみ選択的に金めっきを施すことも実用化されている（図 4.16.5 参照）。この場合、金めっきをしたくない部分に簡便な保護膜を形成し、ニッケルめっきを下地に形成した後に金めっきを行って、最後に保護膜を除去する。

### （3）高周波帯応用例

銅厚膜導体はローインピーダンスであることから、高周波特性が良いとされており、マイクロストリップラインによる評価報告が具体的にされている。こでは、オープンスタブによる共振回路の測定結果の一例を示す<sup>2)</sup>。

図 4.16.6 は 96% アルミナ基板（京セラ製 A 476、板厚 0.635 mm）に厚膜法によりストリップラインと、そのストリップライン上に 5 GHz で共振するオープンスタブとを形成し、そのオープンスタブの線路幅を変化させた時の共振周

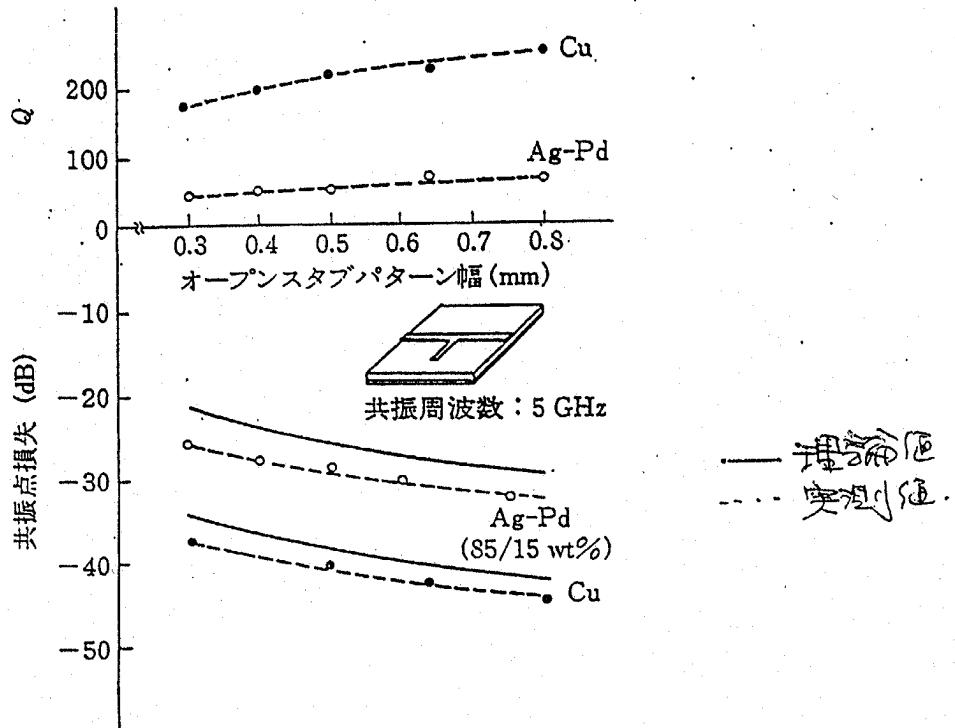


図 4.16.6 オープンスタブによる共振損失特性

波数における損失を測定した結果である。

導体は銅厚膜導体と銀パラジウム厚膜導体（銀パラジウム重量比 85:15）を使用した。図において実線は各導体の導体抵抗から実効抵抗を算出して求めた理論曲線であり、破線が実測値である。

実測値が理論値と比較して大きくなっているのは導体抵抗が計算値よりも大きいためと考える。銅厚膜導体と銀パラジウム厚膜導体には約 10 dB の差がみられ、銅厚膜導体がかなり優位であることがわかる。本図には Q 値も示しているが、Q 値の比較では、0.5 mm 以上の線幅にて銅厚膜導体が 200 以上を示すのに対して銀パラジウム厚膜導体は 50 以上であり、約 4 倍以上の差がみられる。このことから銅厚膜導体はインピーダンスの高い回路を形成した場合においても低損失の回路が形成できることがわかる。

このように高周波帯での応用は技術的に十分可能であることから、800 MHz 帯の電圧制御発振器用基板として銅厚膜基板が実用化されている。

### 4.16.3 低温焼成多層基板

#### (1) 技術動向

携帶用電子機器を中心とした電子機器の容積と重量の推移を見ると、いずれにおいても飽和していく傾向の兆しが見られない。この例を見ても市場要求としての小型化の要求には限界が無いと考えられる。アルミナなどの焼成されたセラミック基板上に、スルーホールを用いて厚膜回路を形成するこれまでの手法では、例えば銅厚膜の有する特徴を限界まで引きだしたとしても配線密度、部品実装密度には限りがある。

また高集積化された基板においては、信号の高速化に伴い発生するノイズが問題となってくるが、従来の厚膜基板ではノイズ対策を施す余地がない。これらの課題を解決するためには三次元構造を有し、かつ銀や銅などの導体抵抗の小さい金属と同時焼成可能な低温焼成多層基板が最適である。

さらに、従来のアルミナセラミック基板で問題視していた半導体シリコンチップとの熱膨張の整合性の点も解決しやすく、チップを直接実装することを可能にし、高密度実装に適した基板でもある。

このように優れた特性をもつ基板であるため、多くの企業や研究機関で実用化検討が行われているが、そのうち既に発表された低温焼成多層基板を表4.16.1に示す<sup>3)</sup>。基本的には絶縁体基板材料はガラス複合系、結晶化ガラス系、非ガラス系に分けられる。

ガラス複合系は必要な特性を有するガラスとフィラーを混ぜ合わせることにより目的の特性が得られるため、特に検討、開発が盛んである<sup>4)</sup>。またこの系の場合、基板材料に用いられるフィラーはアルミナが多い。アルミナのもつコストパフォーマンスと強度、ガラスとのぬれ性に優れているからである。製造に際しては、ガラス粉末の粒度およびアルミナとの混合状態の管理が重要になってくる。これらの管理が適切でなかった場合、基板のち密化が阻害され、内部にボイドが発生しやすくなり基板特性に悪影響を及ぼすようになる。

表 4.16.1 各社の低温焼成基板

企業名	材料系	使用導体材料	かさ比重	抗折強さ (kgf/cm <sup>2</sup> )
旭硝子	$Al_2O_3$ 35wt%+ホルステライト25wt%+BSG40wt%	Ag-Pd,Au	3.0	2300
	$Al_2O_3$ 50wt%+BSG50wt%	Cu	3.3	2000
京セラ*	コーデュエライト系結晶性ガラス+アルミナ	Ag	2.8	2200
	$Al_2O_3$ + $CaZrO_3$ +ガラス	Au,Ag Ag-Pd	>2.89	2100
デュポン ジャパン リミテッド	$Al_2O_3$ + $CaZrO_3$ +ガラス	Au,Ag Ag-Pd	>2.89	2100
	$(CaO-Al_2O_3-BSG)$ 60wt%+ $Al_2O_3$ 40wt%	Ag,Ag-Pd (Cu)	2.9	2000
鳴海製陶	$(PbO-BSG)$ 45wt%+ $Al_2O_3$ 55wt%		3.10	3500
	$(2MgO-2Al_2O_3-5SiO_2)$ 45wt%+BSG55wt%	Ag-Pd	2.40	1500
	$SiO_2$ 35wt%+BSG65wt%		2.15	1400
日本電気	$Al_2O_3$ +ホルステライト+ガラス	Ag-Pd Au	2.73	1500
	$(BaO-Al_2O_3-BSG)+Al_2O_3-ZrSiO_4$	Ag-Pd	3.2	2000
富士通	$Al_2O_3$ 50wt%+BSG50wt%	Cu	—	(200MPa) 1960
	$(PbO-BSG)$ 50wt%+ $Al_2O_3$ 50wt%	Cu	—	—
松下電器産業	コーデュエライト系		—	2000~
	$\beta$ -スピジュメント系		—	4000
IBM	$ZnO-MgO-Al_2O_3-SiO_2$ (コーデュエライト系)	Au(Cu)	2.56	1700
太陽誘電	$Al_2O_3-CaO-SiO_2-MgO-B_2O_3$	Ni	3.03	1500~ 2000
		Cu	2.7	2500
東芝	$BaSnB_2O_6$	Ag-Pd Au	4.3	2100
	$BaO-SiO_2-ZrO_2-SrO-B_2O_3$	Cu	3.4	1800
参考	$Al_2O_3$ 96wt%	W	3.7	3200
参考	Si 不透明	—	—	—

\* 原執筆者の了解を得てデータを差し替えてあります。

熱膨張係数 ( $\times 10^{-6}/^{\circ}\text{C}$ )	熱伝導率 (cal/cm $\cdot$ sec $\cdot$ °C)	絶縁抵抗 ( $\Omega\cdot\text{cm}$ )	誘電率 (1MHz)	焼成			導体抵抗 (m $\Omega$ /□)
				温度 (°C)	雰囲気	プロセス時間	
5.9	0.01	$>10^{14}$	7.4	850~900	大気中	約3時間	2~3
6.3	0.006	$>10^{14}$	7.9	900~950	非酸化	上より少し長い	表面<25 内部<5
4.2	0.007	$>10^{14}$	6.2	800~1000	大気中→非酸化	—	3~4 (外部) 2~3 (内部)
7.9	96% $\text{Al}_2\text{O}_3$ の15~25%	$>10^{12}$	8.0	850	大気中	3時間	2~20
5.5	0.006	$>10^{14}$	7.7	800	大気中 (非酸化)	1時間	2.5 (Cu表面) 20 (Ag-Pd表面) 2.5 (Ag内部)
4.2	0.01	$>10^{14}$	7.8	900	大気中	—	3.5
7.9	—	$>10^{13}$	5.0			脱バインダ 4日	
1.9	—	$>10^{13}$	3.9			焼成 1日	
7.6	0.02	$5 \times 10^{16}$	7.4	900	大気中	—	12~15 (Ag-Pd)
5.5	0.004	$10^{13}$	7.0	830	大気中	50分	20
4.0	0.01	$>10^{16}$	4.9	950~ 1050	非酸化	—	1.2
—	—	$>10^{12}$	7~10	900	大気中→還元→非酸化	3時間	<2 (表面) <4 (内部)
2.4~5.5	—	—	5.3~5.7	850~ 1050	大気中 非酸化	—	—
2~8.3			5~6.5			—	
3.0	0.006	$5 \times 10^{16}$	4.9~5.0	900~ 1000	大気中	Al <sub>2</sub> O <sub>3</sub> と 同程度	3~5
5.9	0.02	$>10^{14}$	6.7	950	還元	—	10~15
4.8	0.02	$>10^{14}$	7		非酸化	—	4~8
5.4	0.013	$2 \times 10^{15}$	8.5	950	大気中	1時間 (脱バインダは除く)	厚膜導体並み
4.0	0.01	$>10^{14}$	7.9	950~ 1000	還元 (N <sub>2</sub> -H <sub>2</sub> O)	—	2
7.5	0.07	$>10^{14}$	9.6	1500~1600	還元	—	—
3.5	—	—	—	—	—	—	—

\* 1kgf/cm<sup>2</sup> = 9.8 × 10<sup>4</sup> Pa \* Cal/cm<sup>2</sup> sec<sup>-1</sup> °C = 418.6 W/m<sup>2</sup> K

\* BSG : Boro Silicate Glass

結晶化ガラス系はコージエライト系結晶化ガラスや $\beta$ スピジュメン系結晶化ガラスに種々の酸化物を添加した組成が検討開発され、いずれも850~1,050°Cという低い温度で焼成可能であり、低誘電率、低熱膨張率を達成している。ただし、ガラス複合系と比較した場合、焼成に長時間かかると言った問題がある。

非ガラス系としてはホウ酸すずバリウムセラミックが例示される<sup>5)</sup>。本セラミックスは、炭酸バリウム、酸化すず、酸化ホウ素を原料にして、1,150~1,200°Cで仮焼成し、粉碎、シート成形を行い、1,000°C程度以下で焼成することにより単一相のセラミックス（ドロマイド構造）として得られる。

## (2) 低温焼成基板の製造プロセス

低温焼成基板の製造プロセスを図4.16.7に示す。これは従来のアルミナ多層セラミック基板の製造法と基本的に同じであるが、主なプロセス上の留意点について述べる。

### ① 原料調合～テープ成形

粉末の粒径、および粒度分布、使用するバインダの組成、おののの調合量、可塑剤、消泡剤等の選択、スラリー化に要する時間、スラリー粘度、キャスティング条件などが厚みムラ、ピンホールなどのテープ歩留りの決め手となる。

### ② ピアホール形成、内部配線印刷

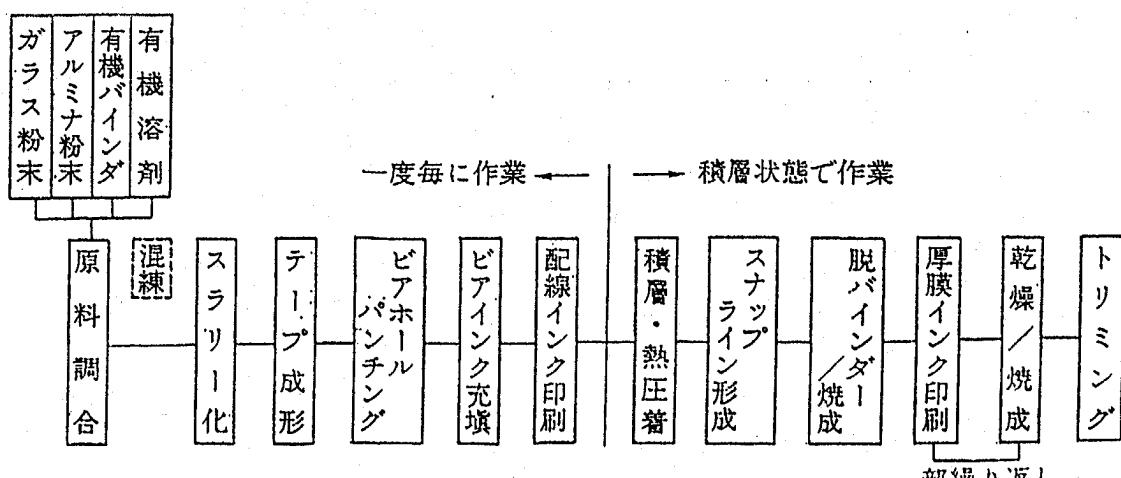


図4.16.7 低温焼成多層基板の製造プロセス

多層配線の上下間の導通を得るために、テープにピアホールを形成するが、ここで重要なのは埋め込みペーストに用いる粉末の粒径、粒度分布、フィラーの組成および種類、使用するスクリーンの種類などである。これらの選択を誤ると充填性、印刷性が損なわれることになる。

内部配線に関しても同様にペーストを検討しておかねば基板のそりなどの問題につながる。

### ③ 脱バインダ、焼成

ここでポイントは焼成時間、昇温速度、雰囲気の制御である。

### ④ 厚膜回路形成

焼成された基板上に厚膜を形成するのであるが、この時は従来の厚膜製造工程がそのまま採用できる。必要に応じて抵抗をトリミングにより調整する。

## (3) 低温焼成基板の特徴

表4.16.2、表4.16.3に京セラの低温焼成多層基板の特徴を示す<sup>6)7)</sup>。基板材料としてはコーデュライト系の結晶性ガラスとフィラーとしてアルミナを用いた複合系を採用している。コーデュライト系の結晶性ガラスを採用した主な理由は、以下の通りである。

表4.16.2 京セラ低温焼成多層基板の特徴

項目	単位、条件	多層基板用 アルミナ	プリント 基板	低温焼成 多層基板
焼結密度	—	3.6	—	2.8
抗折強さ	kgf/cm <sup>2</sup>	3500	4500~5500	2200
熱膨張率	10 <sup>-7</sup> /°C(25~400°C)	70	120~200	42
熱電導率	W/mK	18	0.2	3.2
絶縁耐圧	kV/mm	>15	—	>15
体積固有抵抗	Ωcm	>10 <sup>14</sup>	—	>10 <sup>14</sup>
誘電率	(1MHz)	9.2	4~5	6.2
誘電正接	(1MHz)	0.0005	0.0200	0.0007
吸水率	%	0.0	0.1	0.0

表 4.16.3 京セラ低温焼成多層基板の配線材料の特徴

項目	単位、条件	多層基板用 アルミナ	プリント 基板	低温焼成 多層基板
内 部	導体材料	—	W (Mo)	Cu Ag系
	導体抵抗	$m\Omega/\square$	8	3以下 2~3
配 線	層間絶縁	85°C 85%RH 5V印加 500H	$>10^{12}$	— $>10^{12}$
	線間絶縁		$>10^{12}$	— $>10^{12}$
外 部	導体材料	—	Cu	Cu
	はんだぬれ	%, MIL-STD-202	$>95$	$>95$ $>95$
	導体抵抗	$m\Omega/\square$	2~3	3以下 3~4
接着力	kgf/2mm ピール法	$>2.0$	—	$>2.0$

- ① 誘電率が低く、デジタル信号の高速伝搬に有効である
- ② 熱膨張率が低く、シリコンベアチップとの整合性が良好である
- ③ 結晶性ガラスを使用しているため、表層に形成された厚膜との整合性が良好である

ただし、コージエライトは970°C以上でないと結晶が折出しないため<sup>8)</sup>、他成分添加により混晶を生成させることによってその析出温度を下げさせ、900°C程度の低温で基板をち密化させている。

次に基板と同時焼成する内部配線材料には銀を使用している。そのために、酸化雰囲気で焼成可能である。その結果大幅な焼成コストダウンを実現している。銀配線のため配線間のマイグレーションが懸念されるが、基板のち密化が達成できているため、その信頼性には問題がない。

内部配線材料は基板と同時焼成されるために、以下の内容を満たさねばならない。

- ① 基板が焼成される過程において基板材料と配線材料の収縮挙動が一致していないくてはならない。京セラの場合では銀の収縮開始温度が基板材料の焼結開始温度よりも低いため、基板材料の焼成収縮挙動に銀の収縮がついていけなくてはならない
- ② 基板材料と配線材料の熱膨張率の整合をとらねばならない

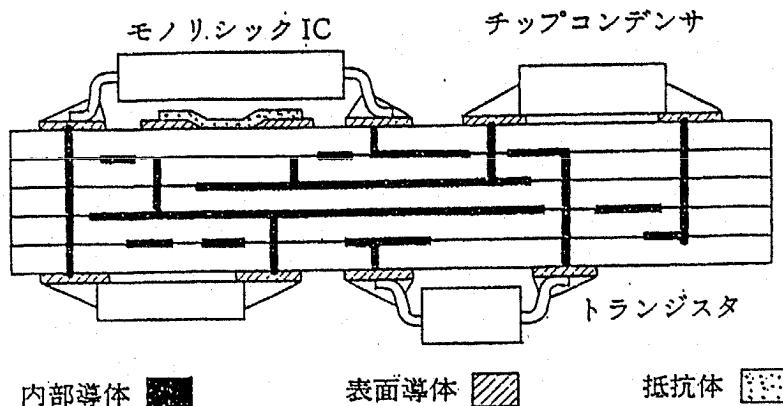


図 4.16.8 低温焼成多層基板を用いたハイブリッド IC の構造模式図

したり、基板のそり、クラックの発生等の問題が解決できることになる。京セラの基板用配線材料は添加物を加えてこれらの要求を満たしている。

図 4.16.8 に京セラの低温焼成多層基板の断面図を模式的に示す。ここではテープ 5 枚を積層し、内部配線 4 層、基板の表・裏面に厚膜回路を形成した場合の例を示している。試作では積層数 30 層以上の基板作成も行っている。

本基板の特徴を以下に示す

- ① 任意の層間でのピアホール形成が可能
- ② 部品の下部に、図に示すように厚膜印刷抵抗が形成可能
- ③ 熱膨張率がアルミナ基板よりも小さくベアチップ搭載可能
- ④ スナップラインの採用によりブレイク時に応力が発生しにくく、そのため基板縁間際まで部品の搭載が可能
- ⑤ 内層にベタ配線を容易に形成できるため、電磁放射、電磁妨害を改善できる

#### (4) 低温焼成多層基板の応用例

先述の通り低温焼成多層基板は特に小型化の面で有効である。したがって、小型化が要求される分野で応用が始まっているが、ここではカメラ一体型 VTR 用ハイブリッド IC 用基板を例にとり説明する<sup>9)</sup>。図 4.16.9 はカメラ一体型 VTR の CCD 駆動と初段信号処理用ハイブリッド IC 基板である。右側は銅厚膜多層基板で表・裏面にクロスオーバーガラスを用いて 2 層ずつ、計 4 層の構造を有

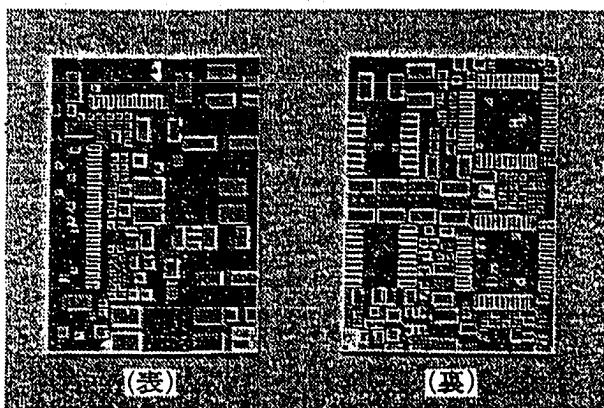


図 4.16.9. カメラ一体型 VTR の CCD 駆動および  
初段信号処理用 HIC 基板

している。左側は低温焼成多層基板で内部配線を含めて配線6層構造となっている。引き回し配線はすべて内層に形成され、表層には部品搭載パッドのみが銅厚膜導体で形成されている。さらに厚膜抵抗体はICなどの大型チップ部品の下部に形成され、部品実装後外部から見ることはできない。本例では小型化を積極的に推進することにより基板面積比で約30%に小型化を実現している。

(5) コンデンサおよびコイル内蔵基板

低温焼成多層基板は、表層には部品の搭載に必要な面積のみ（各部品搭載パッドにははんだショートが起こらない最小間隔を有するレベルで）を確保すればよいといった考え得る最高の実装密度が達成できた。したがって、今後さらなる実装密度の向上を追求していくに際しては、基板として低温焼成多層基板にも取り込まれている部品下部への厚膜抵抗形成というような三次元的要素を盛り込む必要がある。すなわち、基板内へコンデンサやコイルの内蔵が不可欠になる。現在の低温焼成多層基板においても小容量のコンデンサや低インダクタンスのコイルの内蔵は可能であり、既に一部で実用化されている。しかし、容量の大きなコンデンサやコイルを内蔵可能にするためには、誘電体内蔵多層基板や磁性体内蔵基板が必要になってくる。

図 4.16.10 に誘電体内蔵多層基板の断面模式図を示す<sup>10)11)</sup>。絶縁体（低誘電体）で高誘電体を挟み込む構造であり、その高誘電体内に対抗電極を形成する

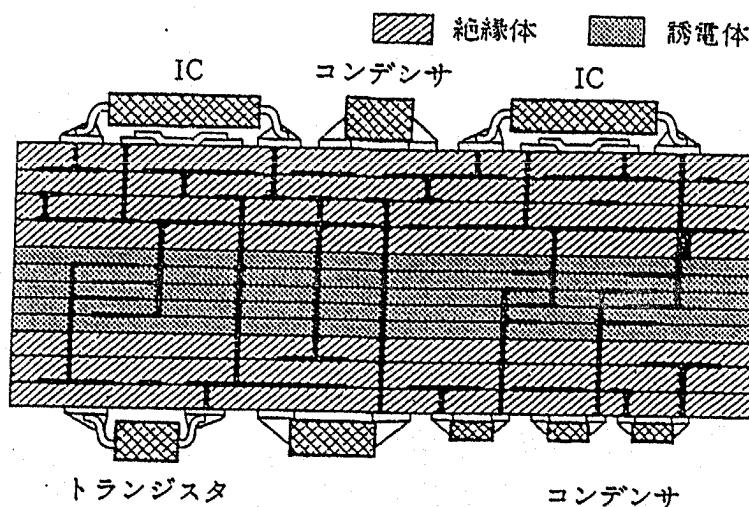


図 4.16.10 誘電体内蔵多層基板断面模式図

のような高誘電率材料を使用することにより、 $1\text{nF} \sim 100\text{nF}$ のコンデンサ形成が十分可能であり、これは高周波化、高速化されたICの電源用バイパスコンデンサを形成する上で理想的な配置ができるこことを意味する。図4.16.11は映像系エンコーダモジュールの試作例である。左が従来の銅厚膜基板によるものであり、右が同一回路を誘電体内蔵多層基板を用いたものである。本試作例では $10\text{nF}$ のコンデンサ23個、 $100\text{nF}$ のコンデンサを5個内蔵したものであり、基板面積比で約40%に小型化できている。

図4.16.12は誘電体と磁性体を内蔵した多層基板の断面模式図を示したものである。層構成としては、高誘電体層および磁性体層を絶縁体（低誘電体）層

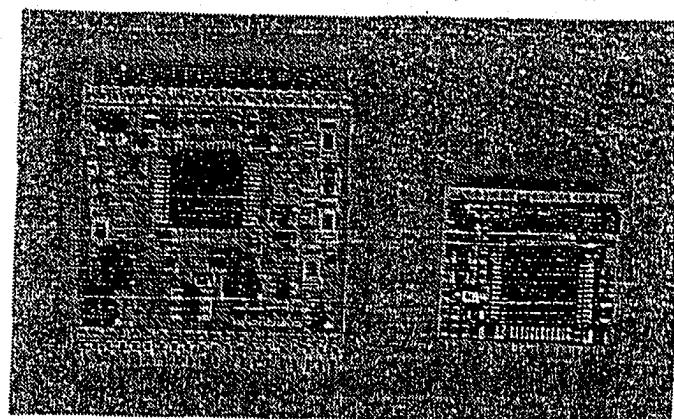


図 4.16.11 エンコーダモジュールの試作例

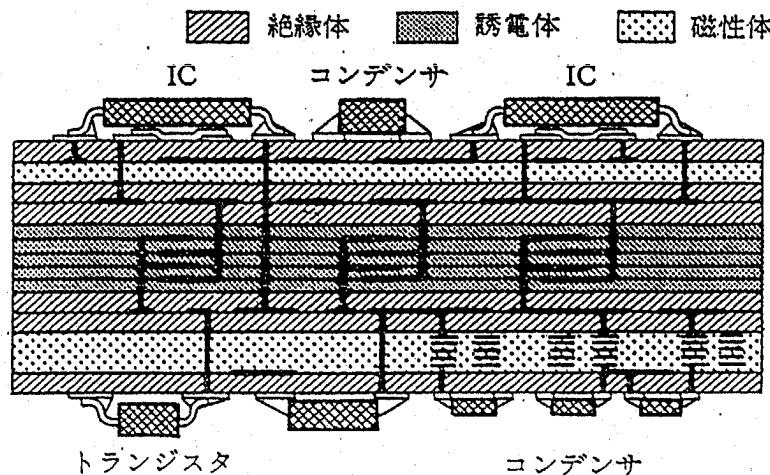


図 4.16.12 誘電体、磁性体内蔵多層基板断面模式図

を介して積層した構造になっている。これにより単にコイルの形成が可能になるだけでなく、磁気シールドの強化、LC フィルタの内蔵といったものも可能になる。

#### 4.16.4 高誘電率基板

##### (1) 技術動向

1939 年に高誘電率材料がマイクロ波帯域で共振器として動作することが報告されて以来、マイクロ波用誘電体セラミックスに対する検討が意欲的に行われてきた。特に誘電体共振器に関しては金属壁の空洞共振器よりも  $\epsilon_r$  に応じて小型化ができることから検討され、誘電率の温度特性も良好であり、マイクロ波帯域でも損失の小さい材料が幾つも開発された。

一方、自動車電話、携帯用電話などの移動通信用機器の需要が近年加速的に増大し、使用する周波数帯も MHz から GHz 帯にまで及んでいる。このようなマイクロ波帯通信機器の開発において機器の小型化、軽量化競争はとどまるところを知らない。

この市場要求に応えるため、機器に組み込まれるマイクロ波集積回路(MIC)

特性は、部品の小型化のために高誘電率であり（素子の大きさは  $\epsilon_r$  に逆比例して縮小される）、低損失であり、誘電率の温度係数が小さいことである。

## (2) 高誘電率基板の特徴と応用

高誘電率基板材料として有用と考えられる基本組成のセラミック材料を表 4.16.4 に示す<sup>10)</sup>。これらの材料の多くは単独では必ずしも要求特性を満足するものではないため、幾つかの基本組成のセラミック材料を組み合わせたものが検討されている。このように幾つかのセラミック材料を組み合わせた場合、焼

表 4.16.4 基本組成セラミックスのマイクロ波誘電特性

セラミックス材料	$\epsilon_r$	Q	$\tau_f$ (ppm/°C)	測定周波数 (GHz)
2MgO·SiO <sub>2</sub>	6.4	2900	-70	8
Al <sub>2</sub> O <sub>3</sub>	9.8	30000	-55	9
TiO <sub>2</sub>	104	14600	427	3
MgTiO <sub>3</sub>	17	22000	-45	5
CaTiO <sub>3</sub>	170	1800	800	2
SrTiO <sub>3</sub>	255	700	1670	2
BaTiO <sub>3</sub>	=1500	Q小さく測定不可		
CaZrO <sub>3</sub>	28	200		7
SrZrO <sub>3</sub>	30	240		7
BaZrO <sub>3</sub>	40	220		7
SrSnO <sub>3</sub>	130	400		3
ZrTiO <sub>4</sub>	42	4000	55	7
SnO <sub>2</sub> ·TiO <sub>2</sub>	43	4500	250	7
BaTiO <sub>4</sub> O <sub>9</sub>	38	2600	15	4
Ba <sub>2</sub> Ti <sub>9</sub> O <sub>20</sub>	40	8000	2	4
BaNd <sub>2</sub> Ti <sub>5</sub> O <sub>14</sub>	81	3500	93	3
(Ba <sub>1/2</sub> Pb <sub>1/2</sub> ) <sub>2</sub> Nd <sub>2</sub> Ti <sub>5</sub> O <sub>14</sub>	90	1900	55	3
BaO-Sm <sub>2</sub> O <sub>3</sub> -TiO <sub>2</sub>	70~90	4000	0	2
La <sub>2</sub> Ti <sub>2</sub> O <sub>7</sub>	44	400	-85	3
Nd <sub>2</sub> Ti <sub>2</sub> O <sub>7</sub>	37	1100	-118	3
Ba(Zn <sub>1/3</sub> Ta <sub>2/3</sub> )O <sub>3</sub>	30	14000	0	12
Ba(Zn <sub>1/3</sub> Nb <sub>2/3</sub> )O <sub>3</sub>	40	10000	28	11
Ba(Zr <sub>0.04</sub> Zn <sub>0.33</sub> Ta <sub>0.64</sub> )O <sub>3</sub>	30	15000	7	7
Ba(Ni <sub>1/3</sub> Ta <sub>2/3</sub> )O <sub>3</sub>	23	7100	-18	7
Ba(Mg <sub>1/3</sub> Ta <sub>2/3</sub> )O <sub>3</sub>	25	10200	5	7

表 4.16.5 マイクロ波高誘電率基板特性表 (京セラ)

項目	単位	SM210	SZ310	SH890	SH110
比誘電率( $\epsilon_r$ )		21	31	89	110
マイクロ波ロス( $Q$ ) 〔測定周波数〕(GHz)		>8,000 6	>6,000 4	>1,800 2.6	1,200 2.3
比誘電率の温度係数 〔 $\tau\epsilon$ 〕	ppm/°C	-25±30	-30±30	-35±30	-70±30
熱膨張係数	ppm/°C	9.2	8.5	10.1	10.1
密度	g/cm <sup>3</sup>	3.7	4.5	5.7	5.7
曲げ強さ	kg/cm <sup>2</sup>	2,000	2,000	1,800	1,800

成時に固溶体もしくは混晶を形成するが、混晶形成の場合は一般に Lichtenegger の対数混合則で特性が推定できる<sup>12)</sup>。

表 4.16.5 に現在実用化されている京セラの主なマイクロ波誘電体材料を示す。京セラでは高い  $Q$  値を達成するために、内部ボイドの少ない材料を開発した。これは点欠陥や転移等の格子欠陥、粒界、ボイドなどの体積分率が小さい場合、誘電損失への影響が少ないと考えたためである。これにより、GHz 帯において  $Q$  値が 1,200 以上を実現している。その他の特徴を以下に示す。

- ① 誘電率が高いのでマイクロ波回路の小型化が可能
- ② 誘電率が温度補償されているため、安定した回路構成が可能
- ③ 誘電率材料の種類が豊富なため、回路設計の選択肢が広い
- ④ 厚膜を含めた各種膜付けが可能

特に銅厚膜導体が形成できる<sup>13)</sup>ことは、これまでの説明からも判るように、非常に有効である。

### (3) 低温焼成多層基板への展開<sup>12)14)15)</sup>

共振回路を考えた場合、トリプレート構造をとったストリップラインの形成は有用である。これを達成するためには基板の多層化は不可欠であり、内部配線はやはり銀や銅といった低比抵抗材料で形成されなくてはならず、高誘電体基板も低温焼成多層基板へ発展させる必要がある。

される。

ガラス複合系は高誘電率セラミックスフィラーと低融点ガラスの複合系である。組成選定上、注意しなくてはならない点は、低融点ガラスと高誘電率セラミックスフィラーが焼成時に反応しないようにすることである。反応すればフィラーの特性が十分に発揮できないばかりか、発泡するなどの問題を引き起こす。

結晶化ガラス系は基板焼成時に高誘電材料の結晶を析出させるものであり、析出結晶としてはチタン酸塩やニオブ酸塩等が検討されている。

非ガラス系は固相焼結型と液相焼結型に分類される。固相焼結型としてはビスマス層状化合物やリラクサ（鉛系複合ペロブスカイト化合物）がコンデンサ材料としても有名なように高誘電率材料が注目されており、MIC用基板材料としての特性を満足するものは少ない。液相焼結型は焼成過程で液相が生じ、誘電体同士を引き付けてち密化させることにより一体化するものであるが、液相のもととなる無機バインダが誘電体と強く反応して粒内に拡散するため、粒界にほとんど液相として残存しなくなる。したがって、誘電体の特性が比較的維持でき、実用的なものも報告されている。

#### 4.16.5 今後の動向

以上最近注目されている材料を中心にセラミックプリント配線板を示したが、この他にも高熱伝導性材料としての窒化アルミニウム基板等、本項に取り上げていないが急成長を期待される材料が多い。また、単なる配線板の概念から自らも機能を有する回路基板の概念に進歩してきていることもセラミックプリント配線板として注目される点である。

今後も様々な技術を取り込んで、セラミックプリント配線板としての確固たる地位を有して発展していくものと考えられる。

## 参考文献

- 1) 井本他：銅厚膜システムによる HIC の高密度化，セミコンニュース，7-6, pp. 55-61 (1987)
- 2) 井本, 植村, 竹田：銅厚膜システムの製造技術とハイブリッド IC における応用技術, エレクトロニクス実装技術, 5-4, pp.111-116 (1989)
- 3) 鶴原吉郎：日経ニューマテリアル, 31, pp.103-(1987)
- 4) 高倉他：高密度実装を実現するセラミック基板, エレクトロニクス実装技術, 8-4, pp.38-45 (1992)
- 5) 井本他：低温焼成多層基板の量産化とその応用技術, '92 JPCA ショーポスター コーナー発表資料集, pp.61-64 (1992)
- 6) 熊谷元雄：小型カムコーダ UC 10 における実装技術, エレクトロニクス実装技術, 8-1, pp.38-45 (1992)
- 7) 電子材料工業会編：「機能回路用セラミック基板」, 工業調査会 (1985)
- 8) Y. Fujioka, et al : MULTILAYER CERAMIC SUBSTRATE WITH INNER CAPACITOR, 7 th I M C Proc., pp.355-359 (1992)
- 9) 電子通信学会編：「通信用セラミックス」, 電子通信学会 (1985)
- 10) A. Kaneuchi et al : CaZr O<sub>3</sub>-BASED DIELECTRIC SUBSTRATE WITH Cu THICK FILM, 7 th I M C Proc., pp.595-599 (1992)
- 11) Y. Yasukawa et al : A MINIATURIZED VCO USING MULTI-LAYER CERAMIC TECHNOLOGY, 7 th I M C Proc., pp.309-313 (1992)
- 12) 萬代治文：高周波多層セラミックデバイス, エレクトロニク・セラミックス, pp. 24-28 (1992)